

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 04 月 23 日  
Application Date

申 請 案 號：092109523  
Application No.

申 請 人：華邦電子股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 7 月 29 日  
Issue Date

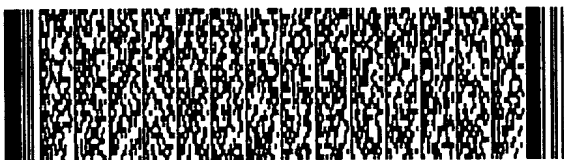
發文字號：09220766630  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	記憶體之增壓電路
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 陳健中
	姓 名 (英文)	1. Chieng Chung, Chen
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (中 文)	1. 新竹市東區公園里15鄰光復路二段513號4樓之一
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. Arthur, Y.C. Chiao



四、中文發明摘要 (發明名稱：記憶體之增壓電路)

本案為一種記憶體之增壓電路 (Pumping Circuit)，其特徵在於使用一記憶元 (DRAM cell) 作為該增壓電路之充電電容，以獲得較大之電容值。

本案指定代表圖為圖二 (A)。

本案代表圖之圖號說明：

21：記憶元 (DRAM Cell) 電容

211：MOS電晶體

212：儲存元 (Storage Cell)

22：驅動電路

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



#### 五、發明說明 (1)

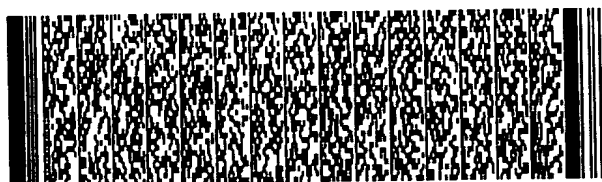
##### [ 發明所屬之技術領域 ]

本案為一種記憶體之增壓電路 (Pumping Circuit)，其特徵在於使用記憶元 (DRAM cell) 作為該增壓電路之充電電容，以獲得較大之電容值。

##### [ 先前技術 ]

在低功率動態記憶體或 1T-SRAM 等低功率記憶體之半導體元件中，其字線 (Word Line) 所需之電壓源 (VPP) 比操作電壓 (Vdd) 要來得高，例如  $V_{dd}=1.8V$  而  $V_{PP}=2.8V$ ，因此需要一組以上之 VPP 增壓電路 (Pumping Circuit)，以提供 word line 所需之高電壓。

習知之記憶體增壓電路如圖一所示，係以 N 型金氧半導體電晶體 (NMOS) 構成之 MOS 電容 12 作為充電電容，另外再以 NMOS 組成電流源 11 提供充電電流，而反相器 (Inverter) 13 則產生時脈訊號  $\theta_2$  將增壓電壓 VPP 電壓上推至 word line 所需之高電壓。習知之記憶體增壓電路，在記憶體之操作電壓  $V_{dd}=2.5V$  時，可以正常運作，然而對於採取 1.8V 操作電壓之低功率動態記憶體或 1T-SRAM 等低功率記憶體而言，習用增壓電路所能提供之驅動電流 (Driving Current) 將不足以確保低功率記憶體之正常運作，因此必須透過加大充電電容 12 之 MOS 電容面積以增加電容量，方能提供 VPP 輸出足夠之驅動電流。不過加大 MOS 電容面積，意味著必須投入額外製程費用，生產成本也相對提高，因此並非理想之解決方案。



## 五、發明說明 (2)

### [ 本案目的 ]

為因應上述需求，本案乃構思利用現成之動態記憶體 (DRAM) 製程，以記憶元 (DRAM Cell) 作為電容來使用。由於記憶元每單位面積所提供之電容量，要比 MOS 電容之電容量高上 50 倍以上 ( $CDRAM\_Cell > 50 * CMOS$ )，因此將可大量縮減 VPP 增壓電路中之電容面積；而由於係採取相同製程，因此不需要額外之製程費用，且在  $V_{dd}=1.8V$  時，記憶元本身並不會有可靠度 (Reliability) 問題，可說是相當理想的解決方案。

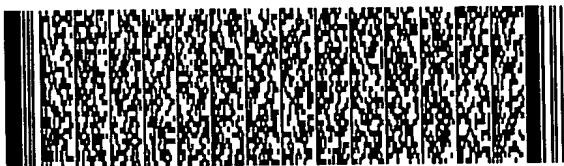
### [ 發明內容 ]

為達上述目的，本案提出一種記憶體之增壓電路 (Pumping Circuit)，其特徵在於使用一記憶元 (DRAM Cell) 作為該增壓電路之充電電容，以獲得較大之電容值。

如所述之記憶體之增壓電路，其中該記憶元係由一金氧半導體電晶體 (MOS Transistor) 和一儲存元 (Storage Cell) 所組成。

如所述之記憶體之增壓電路，更包含一電流源，以提供該記憶元一充電電流進行充電。

如所述之記憶體之增壓電路，其中該記憶元更包含一輸出端，以輸出一增壓電壓源，該輸出端係電連接至該電流源，以接收該充電電流進行充電。



### 五、發明說明 (3)

如所述之記憶體之增壓電路，其中該增壓電壓源為字線 (Word Line) 之電壓源。

如所述之記憶體之增壓電路，更包含一驅動電路，用以產生一時脈訊號，並輸出至該記憶元，藉以驅動 (Driving) 該記憶元。

如所述之記憶體之增壓電路，其中該驅動電路為一反相器 (Inverter)。

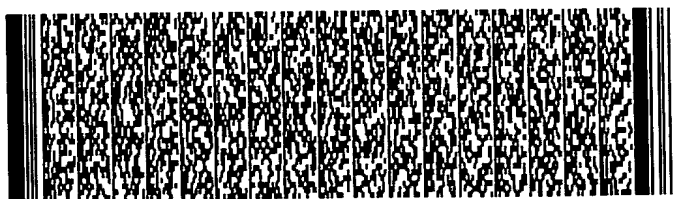
如所述之記憶體之增壓電路，其中該驅動電路係由一 PMOS 電晶體和一 NMOS 電晶體所組成，並藉由接收一第一時脈訊號和一第二時脈訊號以產生該時脈訊號。

為達上述目的，本案更提出一種記憶體之增壓電路 (Pumping Circuit)，其包含：一電流源，用以提供一充電電流；一記憶元 (DRAM Cell)，係作為該增壓電路之充電電容，具一輸出端以輸出一增壓電壓源，該輸出端係電連接至該電流源，以接收該充電電流進行充電；以及一驅動電路，用以產生一第一時脈訊號，並輸出至該記憶元，藉以驅動 (Driving) 該記憶元。

如所述之記憶體之增壓電路，其中該記憶元係由一金氧半導體電晶體 (MOS Transistor) 和一儲存元 (Storage Cell) 所組成。

如所述之記憶體之增壓電路，其中該增壓電壓源為字線 (Word Line) 之電壓源。

如所述之記憶體之增壓電路，其中該驅動電路為一反相器 (Inverter)。



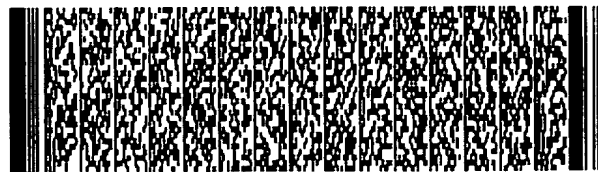
#### 五、發明說明 (4)

如所述之記憶體之增壓電路，其中該驅動電路係由一 PMOS 電晶體和一 NMOS 電晶體所組成，並藉由接收一第二時脈訊號和一第三時脈訊號以產生該第一時脈訊號。

#### [ 實施方式 ]

請參見圖二 (A)，為本案較佳實施例之記憶體之增壓電路。如圖所示，記憶體之增壓電路，例如一低功率記憶體之增壓電路，係採用由記憶元 (DRAM Cell) 構成之記憶元電容 21 作為充電電容，而記憶元電容 21 係包含一個 1T/1S，即由 MOS 電晶體 211 (在此使用 NMOS) 和儲存元 (Storage Cell) 212 所構成，其中儲存元 212 之 plate 端係電連接至一驅動電路 (反相器 13) 之輸出端，以接收時脈訊號  $\theta_2$  來推動記憶元電容 21；儲存元 212 之另一端係電連接至 MOS 電晶體 211，MOS 電晶體 211 之汲極 (Drain)、源極 (Source) 和閘極 (Gate) 端皆連接在一起，並電連接至電流源 11 進行充電，以及輸出增壓電壓 VPP。

圖二 (B) 所示，為本案另一較佳實施例，其中記憶元電容 21 同樣係由一個 1T/1S 所構成，而提供時脈訊號之驅動電路則由 PMOS 與 NMOS 組成。驅動電路 22 可分別接收第二時脈訊號  $\beta$  和第三時脈訊號  $\gamma$ ，並輸出第一時脈訊號  $\alpha$  至儲存元 212 之 plate 端以推動記憶元電容 21，其中第二時脈訊號  $\beta$  和第三時脈訊號  $\gamma$  可以取不同工作週期 (Duty Cycle) 和相位 (Phase)，來控制第一時脈訊號  $\alpha$  之工作頻率和工作週期，以進一步調整 VPP 之電壓值。

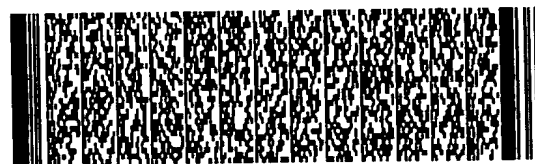
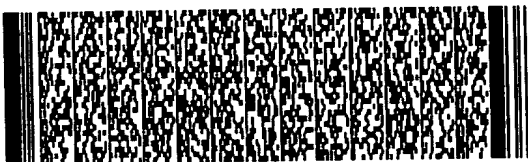




五、發明說明 (5)

本案係針對習用技術提出改善，利用現成之動態記憶體 (DRAM) 製程，以記憶元 (DRAM Cell) 作為記憶體之增壓電路之充電電容來使用。本案之進步性在於，以記憶元當作電容使用，其每單位面積所提供之電容量，高於習用 MOS 電容之電容量 50 倍以上 ( $CDRAM\_Cell > 50 * CMOS$ )，不僅可以大量縮減 VPP 增壓電路中之電容面積，就生產成本而言，記憶元之製程係利用現成之 DRAM 製程，不需要額外製程費用，可增加產品之競爭力；而在品質方面，操作電壓 Vdd 降至 1.8V 時，記憶元本身也不會有可靠度 (Reliability) 問題，可謂係一舉數得。

本案所揭露之技術，得由熟習本技術人士據以實施，而其前所未有之作法亦具備專利性，爰依法提出專利之申請，申請專利範圍如附。



圖式簡單說明

本案得藉由下列圖示及詳細說明，俾得一更深入之瞭解：

圖一：習知之記憶體增壓電路

圖二(A)：本案較佳實施例之記憶體之增壓電路

圖二(B)：本案另一較佳實施例

圖示主要元件之圖號如下：

11：電流源 12：MOS電容

13：反相器(Inverter)

21：記憶元(DRAM Cell)電容 211：MOS電晶體

212：儲存元(Storage Cell) 22：驅動電路

Vdd：操作電壓

VPP：增壓電壓

NMOS：N型金氧半導體電晶體

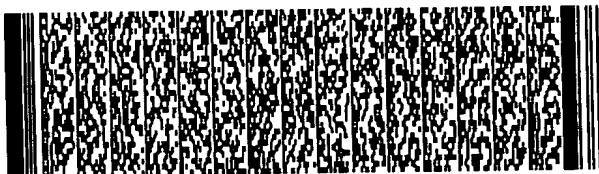
PMOS：P型金氧半導體電晶體

$\theta 1$ 、 $\theta 2$ ：時脈訊號

$\alpha$ ：第一時脈訊號

$\beta$ ：第二時脈訊號

$\gamma$ ：第三時脈訊號



六、申請專利範圍

1、一種記憶體之增壓電路 (Pumping Circuit)，其特徵在於使用一記憶元 (DRAM Cell) 作為該增壓電路之充電電容，以獲得較大之電容值。

2、如申請專利範圍第 1 項所述之記憶體之增壓電路，其中該記憶元係由一金氧半導體電晶體 (MOS Transistor) 和一儲存元 (Storage Cell) 所組成。

3、如申請專利範圍第 1 項所述之記憶體之增壓電路，更包含一電流源，以提供該記憶元一充電電流進行充電。

4、如申請專利範圍第 3 項所述之記憶體之增壓電路，其中該記憶元更包含一輸出端，以輸出一增壓電壓源，該輸出端係電連接至該電流源，以接收該充電電流進行充電。

5、如申請專利範圍第 4 項所述之記憶體之增壓電路，其中該增壓電壓源為字線 (Word Line) 之電壓源。

6、如申請專利範圍第 1 項所述之記憶體之增壓電路，更包含一驅動電路，用以產生一時脈訊號，並輸出至該記憶元，藉以驅動 (Driving) 該記憶元。

7、如申請專利範圍第 6 項所述之記憶體之增壓電路，其中該驅動電路為一反相器 (Inverter)。

8、如申請專利範圍第 6 項所述之記憶體之增壓電路，其中該驅動電路係由一 PMOS 電晶體和一 NMOS 電晶體所組成，並藉由接收一第一時脈訊號和一第二時脈訊號以產生該時脈訊號。

9、一種記憶體之增壓電路 (Pumping Circuit)，其包含：  
一電流源，用以提供一充電電流；



#### 六、申請專利範圍

一 記憶元 (DRAM Cell)，係作為該增壓電路之充電電容，具一輸出端以輸出一增壓電壓源，該輸出端係電連接至該電流源，以接收該充電電流進行充電；以及

一驅動電路，用以產生一第一時脈訊號，並輸出至該記憶元，藉以驅動 (Driving) 該記憶元。

10、如申請專利範圍第9項所述之記憶體之增壓電路，其中該記憶元係由一金氧半導體電晶體 (MOS Transistor) 和一儲存元 (Storage Cell) 所組成。

11、如申請專利範圍第9項所述之記憶體之增壓電路，其中該增壓電壓源為字線 (Word Line) 之電壓源。

12、如申請專利範圍第9項所述之記憶體之增壓電路，其中該驅動電路為一反相器 (Inverter)。

13、如申請專利範圍第9項所述之記憶體之增壓電路，其中該驅動電路係由一 PMOS 電晶體和一 NMOS 電晶體所組成，並藉由接收一第二時脈訊號和一第三時脈訊號以產生該第一時脈訊號。



第 1/11 頁



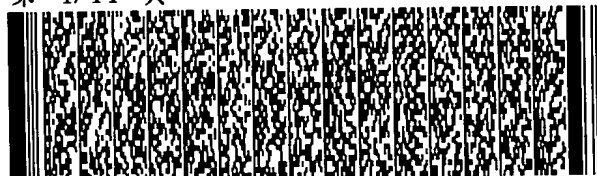
第 2/11 頁



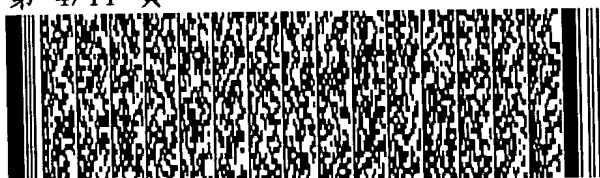
第 3/11 頁



第 4/11 頁



第 4/11 頁



第 5/11 頁



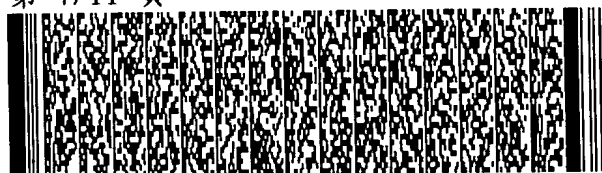
第 5/11 頁



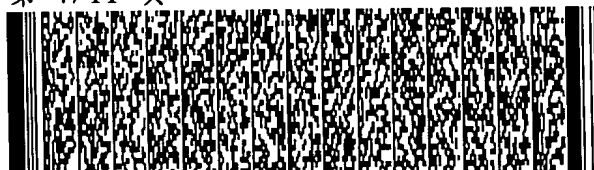
第 6/11 頁



第 7/11 頁



第 7/11 頁



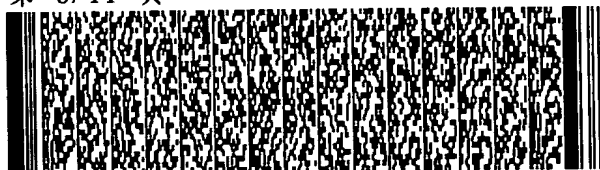
第 8/11 頁



第 8/11 頁



第 9/11 頁



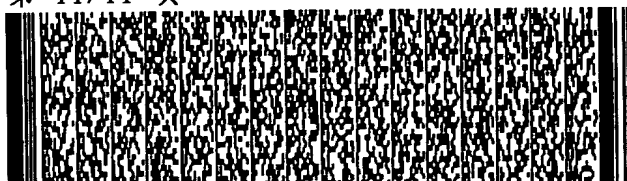
第 10/11 頁

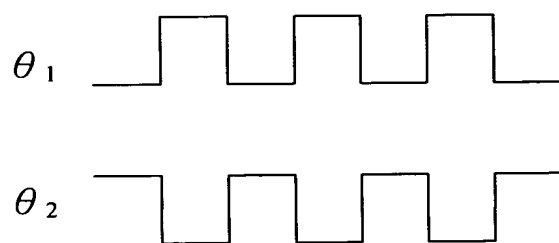
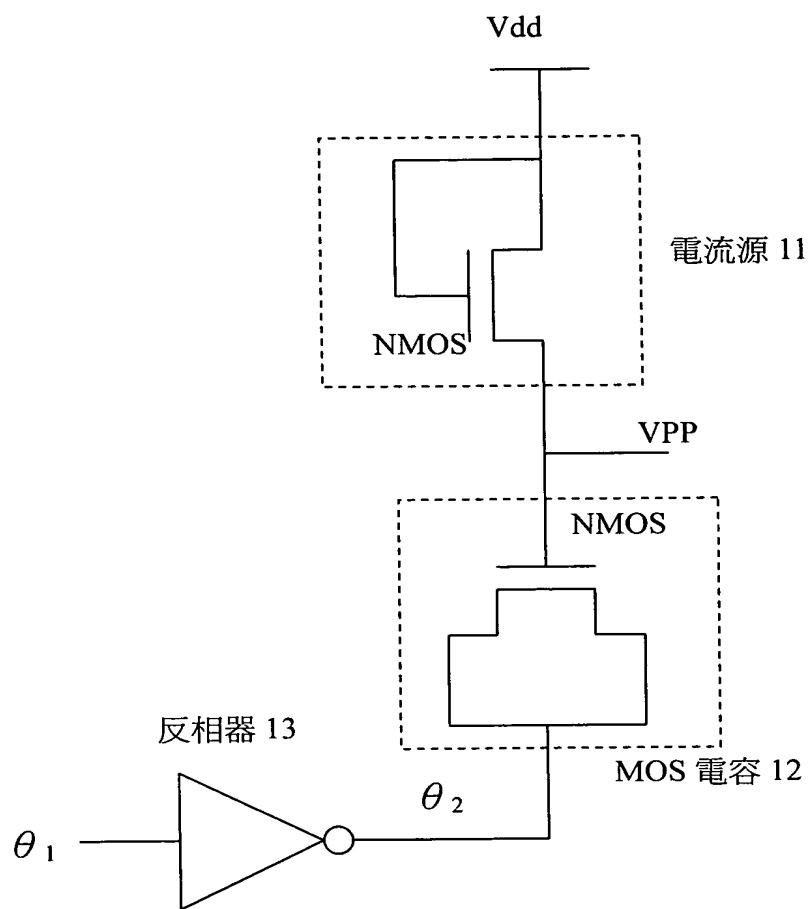


第 10/11 頁

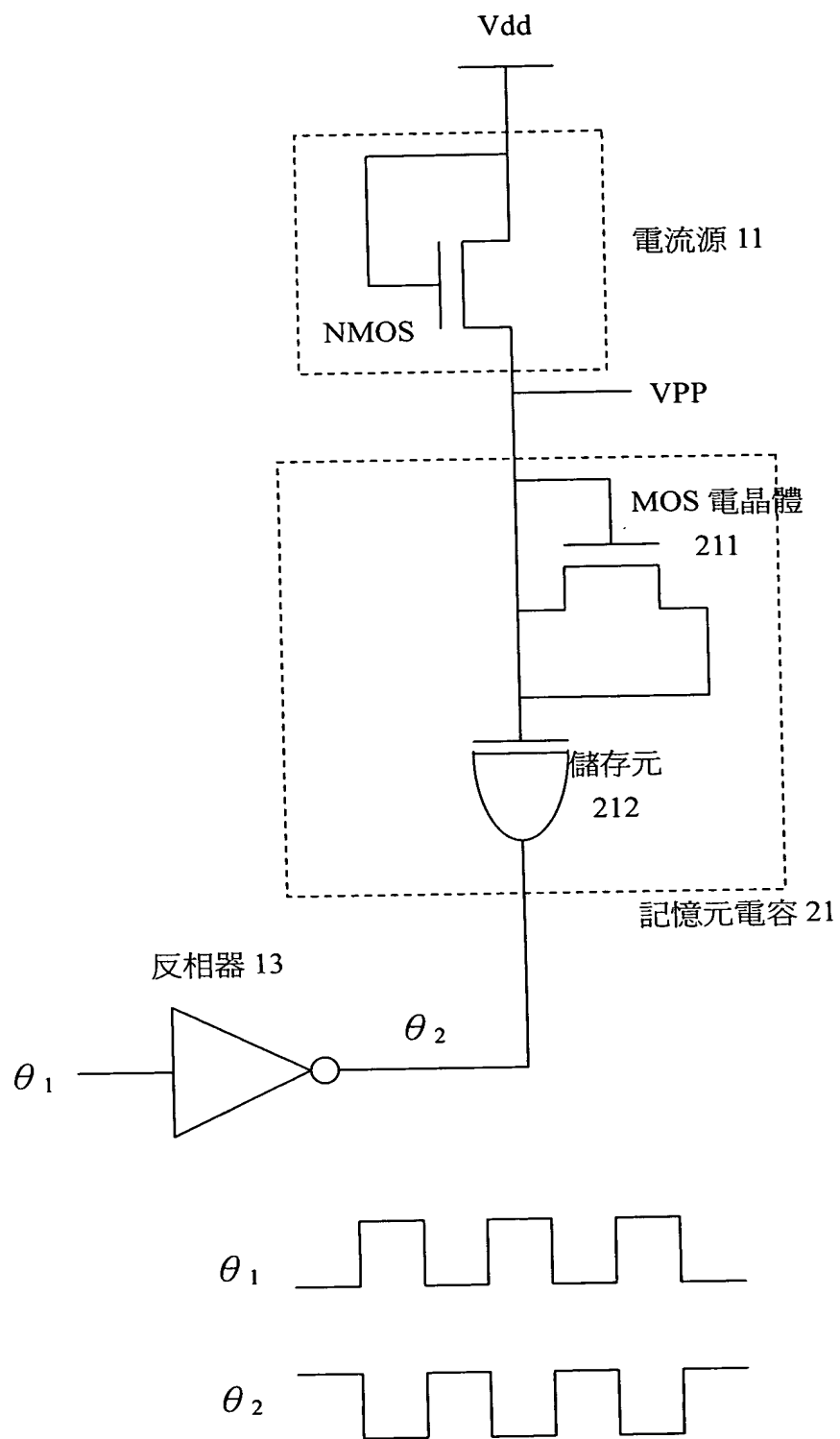


第 11/11 頁

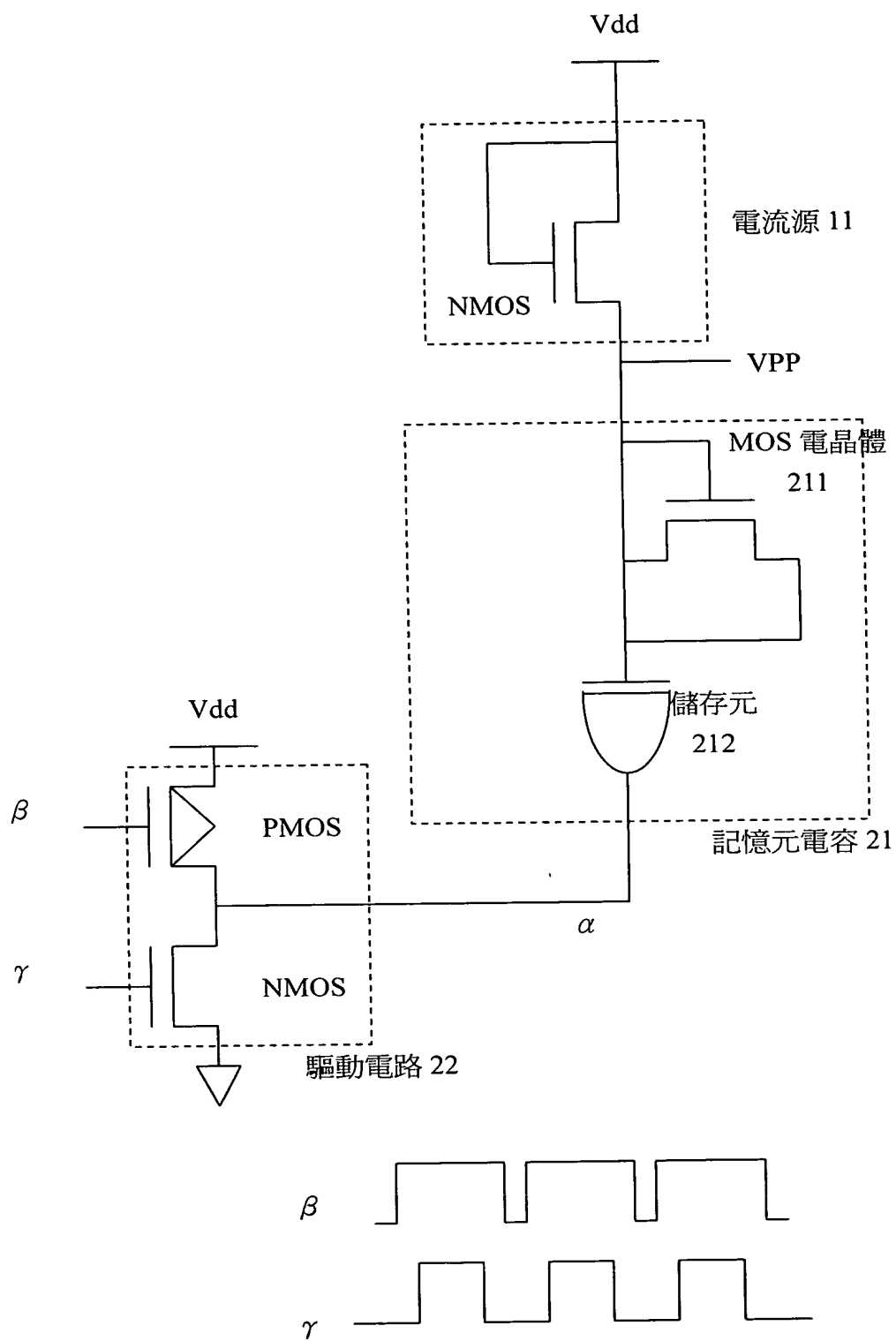




圖一



圖二(A)



圖二(B)